



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0046291
Application Number

출 원 년 월 일 : 2003년 07월 09일
Date of Application JUL 09, 2003

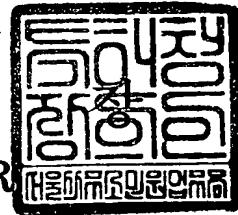
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.07.09
【발명의 명칭】	반도체 소자의 구리 배선 형성 방법
【발명의 영문명칭】	Method of forming copper wiring in semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	박상균
【성명의 영문표기】	PARK, Sang Kyun
【주민등록번호】	660808-1052415
【우편번호】	449-912
【주소】	경기도 용인시 구성면 마북리 629 삼거마을 삼성래미안 1차 아파트 1 11동 803호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	362,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통



1020030046291

출력 일자: 2003/11/20

【요약서】

【요약】

본 발명은 반도체 소자의 구리 배선 형성 방법에 관한 것으로, 저유전율 층간 절연막에 형성된 다마신 패턴에 구리층을 매립하고, 화학적 기계적 연마 공정으로 구리층을 연마하여 다마신 패턴 내에 구리 배선을 형성할 때, 구리 배선 상부가 오목한 표면을 이루어 주변의 저유전율 층간 절연막의 표면보다 낮게 형성되도록 화학적 기계적 연마 공정을 과도하게 실시하고, 구리 배선을 안정화 시키면서 구리 배선 상부가 오목한 표면에서 볼록한 표면으로 형성되도록 열처리를 실시하고, 볼록한 표면을 갖는 구리 배선 상부에 선택적 구리 확산 방지 도전막을 형성하되, 선택적 구리 확산 방지 도전막이 주변의 저유전율 층간 절연막과 단차 발생 없이 다마신 패턴 내에 형성되도록 하므로, 다마신 패턴 내에서 선택적 구리 확산 방지 도전막에 의해 상부가 밀봉된 구리 배선이 형성된다. 본 발명은 선택적 구리 확산 방지 도전막이 다마신 패턴 내부에만 형성되므로, 구리 이동을 억제하는 장벽 역할을 하여 배선의 신뢰성을 향상시키고, 또한 이웃하는 구리 배선 상호간의 전기적 단락 현상이 방지되어 배선 불량을 개선할 수 있다.

【대표도】

도 2c

【색인어】

구리 배선, 화학적 기계적 연마, 선택적 구리 확산 방지 도전막

【명세서】

【발명의 명칭】

반도체 소자의 구리 배선 형성 방법{Method of forming copper wiring in semiconductor device}

【도면의 간단한 설명】

도 1은 종래 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도.

도 2a 내지 2c는 본 발명의 실시예에 따른 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

11, 21: 기판 12, 22: 제 1 층간 절연막

13, 23: 연마 정지층 14, 24: 다마신 패턴

15, 25: 구리 확산 방지 도전막 16, 26: 구리 배선

17, 27: 제 2 층간 절연막 100: 구리 확산 방지 절연막

200: 선택적 구리 확산 방지 도전막



【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 반도체 소자의 구리 배선 형성 방법에 관한 것으로, 특히 다마신 패턴 내에 형성된 구리 배선의 구리 이동을 억제하면서, 이웃하는 구리 배선 상호간의 전기적 단락 현상을 방지할 수 있는 반도체 소자의 구리 배선 형성 방법에 관한 것이다.

<10> 일반적으로, 반도체 산업이 초대규모 집적 회로(Ultra Large Scale Integration; ULSI)로 옮겨가면서 소자의 지오메트리(geometry)가 서브-하프-마이크로(sub-half-micron) 영역으로 계속 즐어드는 반면, 성능 향상 및 신뢰도 측면에서 회로 밀도(circuit density)는 증가하고 있다. 이러한 요구에 부응하여, 반도체 소자의 금속 배선을 형성함에 있어서 구리는 알루미늄에 비해 녹는점이 높아 전기이동도(electro-migration; EM)에 대한 저항이 커서 소자의 신뢰성을 향상시킬 수 있고, 비저항이 낮아 신호전달 속도를 증가시킬 수 있어, 집적 회로(integration circuit)에 유용한 상호연결 재료(interconnection material)로 사용되고 있다.

<11> 현재, 사용이 가능한 구리 매립 방법으로는 물리기상증착(PVD)법/리플로우 (reflow), 화학기상증착법(CVD), 전기 도금(Electroplating)법, 무전기 도금(Electroless-plating)법 등이 있으며, 이 중에서 선호되는 방법은 구리 매립 특성이 비교적 양호한 전기 도금법과 화학기상증착법이다.

<12> 금속 배선의 재료로 구리를 채용하면서, 반도체 소자의 구리 배선 형성 공정에 하부층과 전기적으로 연결하기 위한 비아 콘택홀 및 금속 배선이 위치되는 트렌치를 동시에 형성시키는



1020030046291

출력 일자: 2003/11/20

다마신 기법이 널리 적용되고 있으며, 다마신 패턴이 형성될 층간 절연막으로 유전율이 낮은 저유전 절연물질이 적용되고 있다.

<13> 비아 콘택홀 및 트렌치로 이루어진 다마신 패턴에 구리 배선을 형성하기 위해서는 상기한 여러 방법으로 다마신 패턴에 구리를 매립시킨 후에 매립된 구리층을 화학적 기계적 연마(CMP) 공정으로 연마하여 이웃하는 구리 배선과 격리(isolation)시킨다.

<14> 도 1은 종래 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도이다.

<15> 기판(11) 상에 제 1 층간 절연막(12) 및 연마 정지층(13)을 형성하고, 다마신 기법으로 연마 정지층(13) 및 제 1 층간 절연막(12)을 식각하여 다마신 패턴(14)을 형성한다.

<16> 다마신 패턴(14)을 포함한 연마 정지층(13) 표면을 따라 구리 확산 방지 도전막(15)을 형성하고, 다마신 패턴(14)이 충분히 매립되도록 구리층을 형성한다. 화학적 기계적 연마 공정을 연마 정지층(13)이 노출될 때까지 실시하여 다마신 패턴(14) 내에 구리 배선(16)을 형성한다. 이후, 구리 배선(16)을 포함한 전체 구조 상에 구리 확산 방지 절연막(100) 및 제 2 층간 절연막(17)을 형성한다.

<17> 상기한 종래 방법은 구리 배선(16)으로부터 구리 원자가 외부로 확산 되는 것을 방지하기 위하여 구리 확산 방지 도전막(15)과 구리 확산 방지 절연막(100)으로 구리 배선(16)을 밀봉하고 있다. 그런데, 종래 방법에 따라 형성된 구리 배선(16)을 갖는 소자는 구리 원자의 이동(Electro-migration and stress migration)에 의해 발생하는 대부분의 배선 신뢰성 불량이, 지시 부호 "A"에 나타낸 바와 같이, 구리 확산 방지 절연막(100)과 구리 확산 방지 도전막(15)

사이의 계면에서 일어나고 있다. 이러한 현상은 구리 확산 방지 절연막(100)과 하부층(13, 15 및 16)과의 접합성 부족에 기인한다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명은 종래 문제점인 다마신 패턴 내에 형성된 구리 배선의 구리 이동을 방지하여 소자의 전기적 특성을 향상시키면서, 이웃하는 구리 배선 상호간의 전기적 단락 현상을 방지할 수 있는 반도체 소자의 구리 배선 형성 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<19> 이러한 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 구리 배선 형성 방법은 층간 절연막에 다마신 패턴이 형성된 기판이 제공되는 제 1 단계; 상기 다마신 패턴을 포함한 구조 상에 구리 확산 방지 도전막 및 구리층을 형성하는 제 2 단계; 화학적 기계적 연마 공정에 의해 구리 배선을 형성하되, 상기 구리 배선의 표면이 상기 층간 절연막의 표면보다 낮게 형성되도록 하는 제 3 단계; 및 상기 구리 배선 표면을 플라즈마 처리한 후, 그 상부에 선택적 구리 확산 방지 도전막을 형성하는 제 4 단계를 포함한다.

<20> 상기 제 3 단계는 상기 구리 배선 상부가 오목한 표면을 이루어 상기 층간 절연막의 표면보다 낮게 형성되도록 상기 화학적 기계적 연마 공정을 과도하게 실시하는 단계; 및 상기 구리 배선을 안정화 시키면서 상기 구리 배선 상부가 오목한 표면에서 볼록한 표면으로 형성되도록 열처리하는 단계를 포함한다.

<21> 상기 열처리는 N₂, Ar, H₂ 또는 He와 같은 불활성 기체를 이용하거나 이들의 혼합 기체를 이용하여 100 ~ 500°C의 온도 범위에서 실시하거나, N₂, Ar, H₂ 또는 He 와 같은 불활성 기체를 이용하거나 이들의 혼합 기체를 이용하여, 진공 상태에서 200 ~ 700°C의 온도 범위에서 1 ~ 5분 동안 급속 열처리로 실시한다.

<22> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세하게 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<23> 도 2a 내지 2c는 본 발명의 실시예에 따른 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도이다.

<24> 도 2a를 참조하면, 기판(21) 상에 제 1 층간 절연막(22) 및 연마 정지층(23)을 형성하고, 다마신 기법으로 연마 정지층(23) 및 제 1 층간 절연막(22)을 식각하여 다마신 패턴(24)을 형성한다. 다마신 패턴(24)을 포함한 연마 정지층(23) 표면을 따라 구리 확산 방지 도전막(25)을 형성하고, 다마신 패턴(24)이 충분히 매립되도록 구리층을 형성한다. 화학적 기계적 연마 공정을 실시하여 다마신 패턴(24) 내에 구리 배선(26)을 형성하되, 구리 배선(26) 상부가 오목한 표면으로 되고 주변의 제 1 층간 절연막(22)의 표면보다 낮게 형성되도록 화학적 기계적 연마 공정을 과도하게 실시한다. 화학적 기계적 연마 공정을 완료한 후 세정 공정을 실시한다.

<25> 상기에서, 제 1 층간 절연막(22)은 배선과 배선 사이의 기생 캐패시터로 인한 문제를 해결하기 위해 저유전율을 갖는 물질로 형성하는데, 예를 들어, 유전 상수값이 1.5 내지 4.5 대역의 SiO_2 계열에 H, F, C, CH_3 등이 부분적으로 결합되어 있는 물질이나, C-H를 기본 구조로 하는 SiLKTM제품, FlareTM제품 등의 유기 물질(organic material)이나, 이들 물질의 유전 상수값을 낮추기 위해 이들 물질의 기공도(porosity)를 증가시킨 다공성(porous) 물질로 형성한다.

<26> 연마 정지층(23)은 탄소를 함유하지 않은 산화물로 형성하거나, 구리 확산 방지 특성을 가지도록 화학기상증착법(CVD)으로 질소를 함유한 실리콘 질화물 및 실리콘 질화 산화물 또는 탄소를 함유한 실리콘 카바이드 계열의 물질로 형성한다.

<27> 구리 확산 방지 도전막(25)은 ionized PVD TiN, CVD TiN, MOCVD TiN, ionized PVD Ta, ionized PVD TaN, CVD Ta, CVD TaN, CVD WN 중 어느 하나로 형성한다.

<28> 세정 공정은 구리 배선(26)의 표면이 주변의 제 1 층간 절연막(22)의 표면보다 더욱 낮게 형성되도록 세정액에 질산 등을 소량 함유시켜 진행한다.

<29> 도 2b를 참조하면, 열처리를 실시하여 구리 배선(26)을 안정화 시키며, 이때 구리 배선(26)의 표면은 열에 의한 표면 에너지를 최소화하기 위해 상부가 오목한 표면에서 볼록한 표면으로 된다.

<30> 상기에서, 열처리는 2가지 방법으로 실시하는데, 첫번째 방법은 N_2 , Ar, H_2 또는 He 등의 불활성 기체나 이들의 혼합 기체를 이용하여 $100 \sim 500^\circ\text{C}$ 의 온도 범위에서 실시하는 것이고, 두번째 방법은 N_2 , Ar, H_2 또는 He 등의 불활성 기체나 이들의 혼합 기체를 이용하거나, 진공 상태에서 $200 \sim 700^\circ\text{C}$ 의 온도 범위에서 5분 이내, 바람직하게는 1 ~ 5분 동안 급속 열처리로 실시하는 것이다.

<31> 도 2c를 참조하면, 구리 배선(26)의 표면에 생성되는 산화층과 같은 불순물들을 제거하기 위하여 플라즈마 처리하고, 볼록한 표면을 갖는 구리 배선(26) 상부에 선택적 구리 확산 방지 도전막(200)을 형성한다. 구리 확산 방지 도전막(200)을 포함한 전체 구조 상에 제 2 층간 절연막(27)을 형성한다.

<32> 상기에서, 플라즈마 처리는 질소와 수소를 함유한 혼합 가스, 암모니아 계열의 가스 또는 질소가 포함되지 않은 수소/불활성 기체의 혼합 가스를 분위기 가스로 사용하여 100 ~ 350°C의 온도 범위에서 실시한다.

<33> 선택적 구리 확산 방지 도전막(200)은 주변의 제 1 층간 절연막(22)과 단차 발생 없이 다마신 패턴(24) 내에 형성되도록 한다. 선택적 구리 확산 방지 도전막(200)은 2가지 방법으로 형성하는데, 첫번째 방법은 W, Ti, Ta 등의 고용점 금속이나, Ni, Co, P, B 등의 화합물로써 선택적 무전해 도금법을 이용하여 형성하는 것이고, 두번째 방법은 선택적 화학 기상 증착법(Selective CVD)을 이용하여 형성하는 것이다.

<34> 제 2 층간 절연막(27)은 다층 금속 배선 구조일 경우에는 전술한 제 1 층간 절연막(22)과 같이 배선과 배선 사이의 기생 캐패시터로 인한 문제를 해결하기 위해 저유전율을 갖는 물질로 형성하는 것이 바람직하지만, 단층 금속 배선 구조일 경우에는 통상적으로 반도체 소자의 층간 절연막으로 적용되는 다른 절연물로도 형성할 수 있다.

【발명의 효과】

<35> 상술한 바와 같이, 본 발명은 구리 배선 상부가 주변의 저유전율 층간 절연막의 표면보다 낮게 형성되도록 하고, 구리 배선 상부의 선택적 구리 확산 방지 도전막이 주변의 저유전율



1020030046291

출력 일자: 2003/11/20

총간 절연막과 단차 발생 없이 다마신 패턴 내에 형성되도록 하므로, 선택적 구리 확산 방지 도전막이 구리 이동을 억제하는 장벽 역할을 하여 배선의 신뢰성을 향상시킬 뿐만 아니라, 선택적 구리 확산 방지 도전막이 다마신 패턴 내에만 형성되어 이웃하는 구리 배선 상호간의 전기적 단락 현상이 방지되어 배선 불량을 개선할 수 있다. 따라서 본 발명은 소자의 전기적 특성 및 신뢰성을 향상시킬 수 있으며, 소자의 고집적화 실현을 가능하게 한다.

【특허청구범위】**【청구항 1】**

충간 절연막에 다마신 패턴이 형성된 기판이 제공되는 제 1 단계;

상기 다마신 패턴을 포함한 구조 상에 구리 확산 방지 도전막 및 구리층을 형성하는 제 2 단계;

화학적 기계적 연마 공정에 의해 구리 배선을 형성하되, 상기 구리 배선의 표면이 상기 충간 절연막의 표면보다 낮게 형성되도록 하는 제 3 단계; 및

상기 구리 배선의 표면을 플라즈마 처리한 후 그 상부에 선택적 구리 확산 방지 도전막을 형성하는 제 4 단계를 포함하는 반도체 소자의 구리 배선 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 제 3 단계는,

상기 구리 배선 상부가 오목한 표면으로 되고 상기 충간 절연막의 표면보다 낮게 형성되도록 상기 화학적 기계적 연마 공정을 과도하게 실시하는 단계; 및

상기 구리 배선을 안정화 시키면서 상기 구리 배선 상부가 오목한 표면에서 불록한 표면으로 형성되도록 열처리하는 단계를 포함하는 반도체 소자의 구리 배선 형성 방법.

【청구항 3】

제 2 항에 있어서,



1020030046291

출력 일자: 2003/11/20

상기 화학적 기계적 연마 공정 단계 후에 세정 공정 단계를 더 실시하는 반도체 소자의 구리 배선 형성 방법.

【청구항 4】

제 3 항에 있어서,

상기 세정 공정은 상기 구리 배선의 표면이 상기 층간 절연막의 표면보다' 더욱 낮게 형성되도록 세정액에 질산을 함유시켜 진행하는 반도체 소자의 구리 배선 형성 방법.

【청구항 5】

제 2 항에 있어서,

상기 열처리는 N₂, Ar, H₂ 또는 He와 같은 불활성 기체나 이들의 혼합 기체를 이용하여 100 ~ 500°C의 온도 범위에서 실시하는 반도체 소자의 구리 배선 형성 방법.

【청구항 6】

제 2 항에 있어서,

상기 열처리는 N₂, Ar, H₂ 또는 He 와 같은 불활성 기체나 이들의 혼합 기체를 이용하거나, 진공 상태에서 200 ~ 700°C의 온도 범위에서 1 ~ 5분 동안 급속 열처리로 실시하는 반도체 소자의 구리 배선 형성 방법.

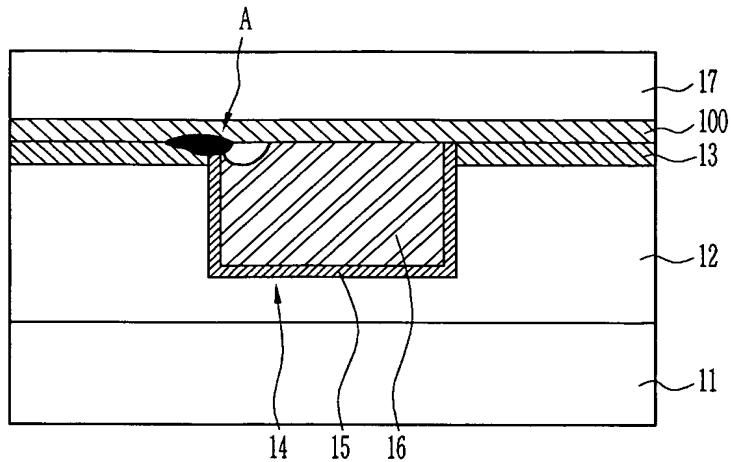
【청구항 7】

제 1 항에 있어서,

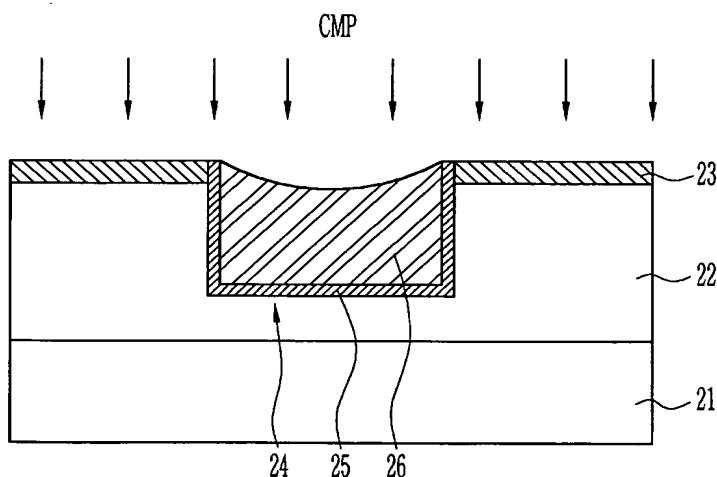
상기 선택적 구리 확산 방지 도전막은 상기 충간 절연막과 단차 발생 없이 상기 다마신 패턴 내에 형성하는 반도체 소자의 구리 배선 형성 방법.

【도면】

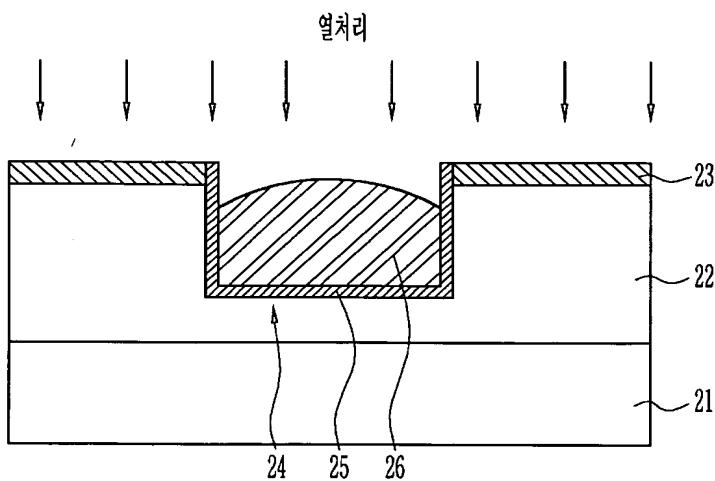
【도 1】



【도 2a】



【도 2b】



【도 2c】

